

以ARM-SOC平台實作與驗證具三角函數指令指處理器

指導教授：林寬仁 博士

學生：黃文、陳舒正、吳宗倫、徐國智

輔仁大學 電機工程學系 大學部專題生

摘要：

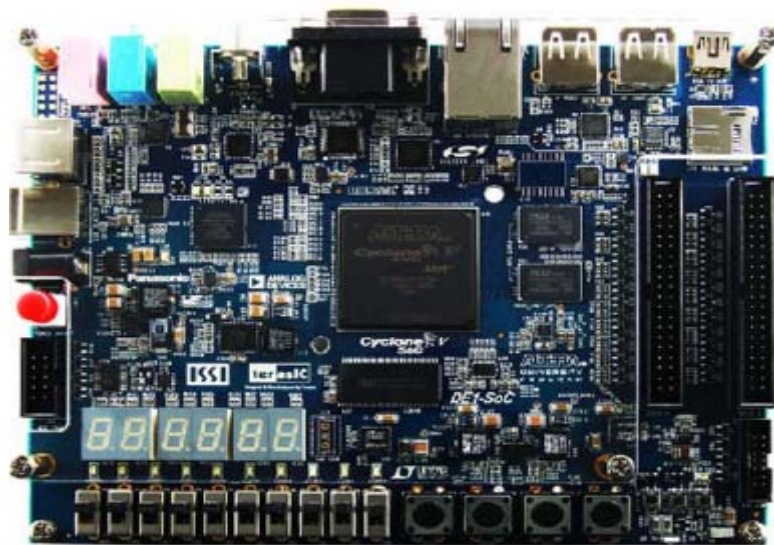
1. 本專題為16位元的處理器，採用精簡指令集的模式(Reduced Instruction Set Computing)。指令長度固定，讓解碼更方便，也讓處理器的運作更簡化。

2. 在這個處理器加入運算三角函數的新指令，採用的是cordic演算法。

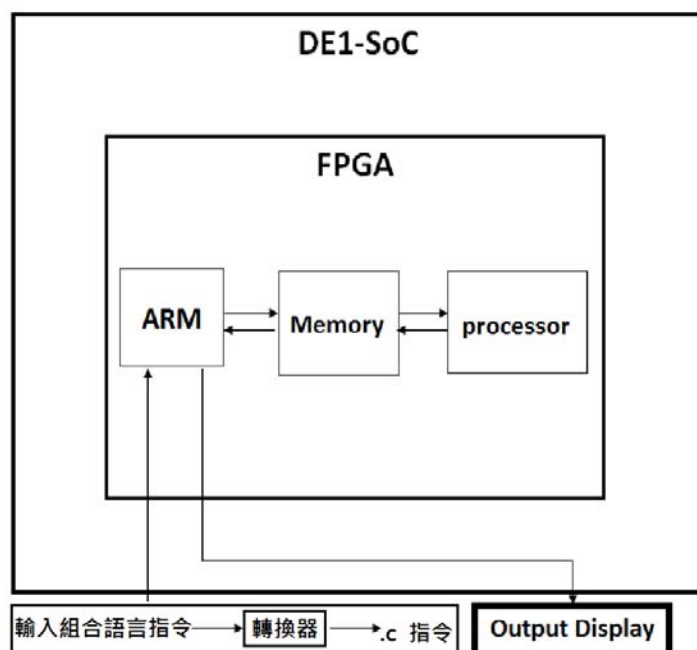
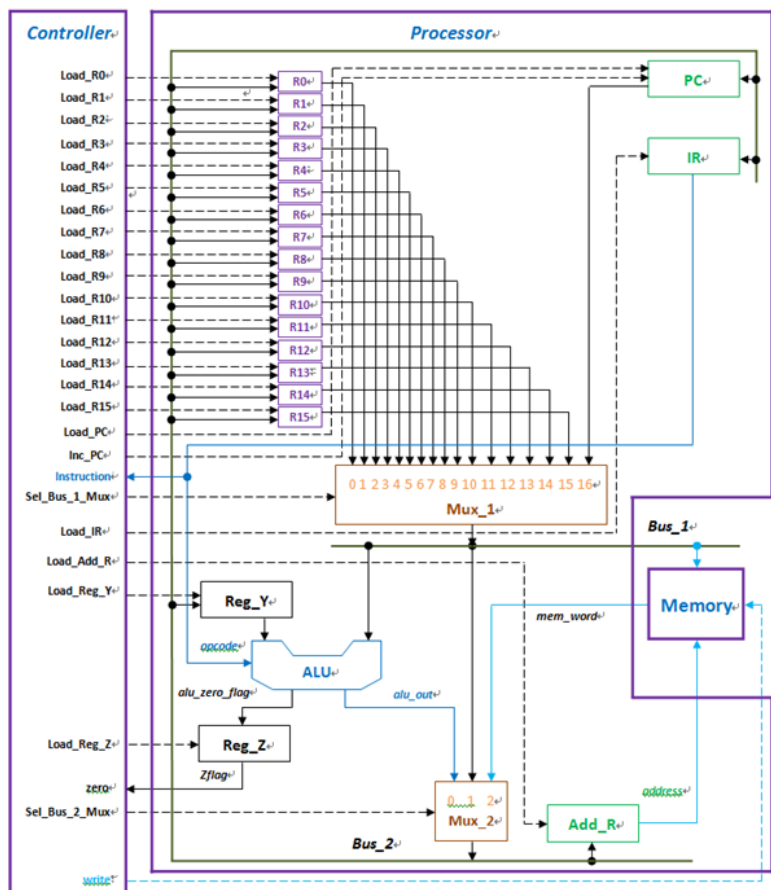
3. RISC在有內嵌ARM的FPAG上執行，採用的是DE1-SOC。

4. 本專題的RISC是使用Quartus II 14.1進行verilog的編寫，指令是透過C語言將指令從ARM寫入記憶體，以讓RISC執行，執行結果再存回記憶體，最後再以ARM輸出。

5. 本專題RISC的程式碼參考自Advanced Digital Design with the Verilog Chapter7。



實驗平台：DE1-SOC



系統示意圖

流程：

在FPGA裡有內嵌的ARM，右邊是利用quartus14.1寫的memory跟process

- (1)輸入組合語言指令
- (2)轉換成.c file
- (3)在ARM執行.c file，將指令寫入Memory
- (4)Process 讀取記憶體的指令，運算。
- (5)將結果存回記憶題，在經過ARM輸出到螢幕



2016 輔仁大學電機工程學系
大學部專題成果展

